Iranian Journal of Biomedical Engineering
12 (3) (2018) 221-234, www.ijbme.org
DOI: 10.22041/ijbme.2018.91673.1393

Design and Simulation of the Data and Power Recovery Blocks of an Inductively-Powered Microsystem Dedicated to a Brain Implant

Z. Fatemi[1], M. M. Ahmadi[2*]

[1] M.Sc. Student, Department of Biomedical Engineering, Amirkabir University of Technology, Tehran, Iran
[2] Assistant Professor, Department of Biomedical Engineering, Amirkabir University of Technology, Tehran, Iran

Receipt in the Online Submission System: 10 August 2018, Received in Revised Form: 1 October 2018, Accepted: 29 October 2018

Abstract

The use of smart medical implants to study the human brain and the interaction of neurons with each other has recently gained much attention. These implants contain microelectrode arrays in which the size of an electrode is in the order of the size of a neuron; therefore they allow recording signals from single neuron or stimulating a single neuron with considerable precision. Design of such implants entails many challenges, one of which is the design of power and data recovery blocks. In this paper, we describe the design of a new power and data recovery unit for an implantable neural stimulating microsystem. The power recovery unit generates two supply voltages: a 1.8-V supply for the core circuits and a higher supply voltage for the stimulation front-end. An active rectifier is used to generate the 1.8-V supply. The active rectifier achives a 89% power conversion efficiency and 150mV voltage drop with a 3-V sinusoidal input voltage. In order to maximize the efficiency of the stimulation front-end, the supply voltage of that circuit should be adaptively adjusted according to the amplitude of the stimulation current. As a result, a phase-controlled active rectifier is utilized to generate the supply voltage for the neural stimulation front-end. The phase-controlled active rectifier can generate out voltages ranging from 1.8V to 2.5V. Using phase-controlled active rectifier can increase the power conversion efficiency up to 50%. In addition to power recovery, neuroelectrical stimulation microsystems should receive stimulation data from outside of the body. Hence, this paper also circuits required for clock and date recovery. The data recovery block is able to demodulate the ASK-modulated signal with 3-V to 5-V amplitude and 5% to 25% modulation index.

Keywords: ***Implantable Microsystems, Electrical Stimulation, Wireless Power Transfer, Active Rectifier, Phase Controlled Active Rectifier, Clock and Data Recovery***

[*] **Corresponding Author**
Address: Biomedical Engineering Department, Amirkabir University of Technology, P. O. Box: 15875-4413, Tehran, Iran
Tel: *+98-21-64545573*
Fax: *+98-21-66468186*
E-mail: *mmahmadi@aut.ac.ir*

© Copyright 2018 ISBME, http://www.ijbme.org

مجله مهندسی پزشکی زیستی
دوره ۱۲، شماره ۳، پاییز ۱۳۹۷، ۲۳۴-۲۲۱
شناسه دیجیتال: 10.22041/ijbme.2018.91673.1393

طراحی و شبیه‌سازی بخش‌های بازیابی داده و توان القایی برای یک سیستم تحریک الکتریکی مورد استفاده در یک ایمپلنت مغزی

زهراسادات فاطمی[۱]، محمدمهدی احمدی[۲]*

[۱] دانشجوی کارشناسی ارشد مهندسی پزشکی، گروه بیوالکتریک، دانشکده‌ی مهندسی پزشکی، دانشگاه صنعتی امیرکبیر، تهران
[۲] استادیار گروه بیوالکتریک، دانشکده‌ی مهندسی پزشکی، دانشگاه صنعتی امیرکبیر، تهران

تاریخ ثبت در سامانه: ۱۳۹۷/۵/۱۹، بازنگری: ۱۳۹۷/۷/۹، پذیرش قطعی: ۱۳۹۷/۸/۷

چکیده

امروزه استفاده از ریزسامانه‌های قابل کاشت، برای شناسایی دقیق‌تر عمل‌کرد مغز و تعامل نورون‌ها با یک‌دیگر، بسیار مورد توجه قرار گرفته است. این ریزسامانه‌ها، با بهره‌گیری از الکترودهایی با ابعادی در حدود اندازه‌ی یک نورون، قادر هستند تا عمل ثبت فعالیت یا تحریک یک نورون را با قدرت تفکیک بسیار بالایی انجام دهند. طراحی ریزسامانه‌های قابل کاشت تحریک الکتریکی، با چالش‌های بسیاری روبه‌رو است که از آن جمله می‌توان به نحوه‌ی بازیابی توان با بازده بالا و بازیابی داده‌های ارسالی با دقت بالا، اشاره کرد. در این مقاله، یک ساختار جدید برای بلوک بازیابی توان در یک ریزسامانه‌ی تحریک الکتریکی مغز، ارائه شده است. در ریزسامانه‌ی تحریک الکتریکی مورد نظر در این مقاله، لازم است تا دو سطح ولتاژ متفاوت تولید شود. ولتاژ اول، سطح پایین‌تری (۱/۸ وات) داشته و به عنوان منبع تغذیه‌ی مدارهای داخلی (مانند مدارهای دیجیتال)، مورد استفاده قرار می‌گیرد. برای تولید این ولتاژ، از یک یک‌سوساز فعال استفاده شده است که با دریافت ولتاژ ورودی ۳ ولت، بازده توان ۸۹٪ و افت ولتاژ ۱۵۰ میلی‌ولت را دارد. ولتاژ دوم، که سطح بالاتری داشته و متغیر می‌باشد، توان لازم برای منابع جریان تحریک‌کننده را تامین می‌کند. برای تولید این ولتاژ، از یک یک‌سوساز فعال کنترل شونده با فاز، استفاده می‌شود که ولتاژ خروجی آن، متناسب با میزان جریان تحریک، در بازه‌ی ۱/۸ تا ۲/۵ ولت تغییر کرده و از این طریق، اتلاف توان در منابع جریان تحریک را کاهش و بازده سیستم تحریک را در مواردی تا حدود ۵۰٪ افزایش می‌دهد. هم‌چنین در این مقاله، یک مدار دمدولاتور دامنه، جهت بازیابی داده‌های ارسالی از خارج بدن و یک مدار برای بازیابی پالس ساعت مورد نیاز برای عمل‌کرد ریزسامانه‌ی تحریکی، طراحی شده و نتایج شبیه‌سازی آن‌ها ارائه شده است. مدار دمدولاتور داده، قادر است تا داده‌ها را از ولتاژ ورودی با دامنه‌ی ۳ تا ۵ ولت و با ضریب مدولاسیون متغیر بین ۵ تا ۲۵ درصد، استخراج کند.

کلیدواژه‌ها: ریزسامانه‌ی قابل کاشت، تحریک الکتریکی، یک‌سوساز فعال، یک‌سوساز کنترل‌شونده با فاز، بازیابی داده و پالس ساعت

***نویسنده مسئول**
نشانی: گروه بیوالکتریک، دانشکده‌ی مهندسی پزشکی، دانشگاه صنعتی امیرکبیر، تهران، ایران، کد پستی: ۴۴۱۳-۱۵۸۷۵
تلفن: ۶۴۵۴۵۵۷۳ (۲۱) ۹۸+
دورنگار: ۶۶۴۶۸۱۸۶ (۲۱) ۹۸+
پست الکترونیکی: mmahmadi@aut.ac.ir

© Copyright 2018 ISBME, http://www.ijbme.org

۱- مقدمه

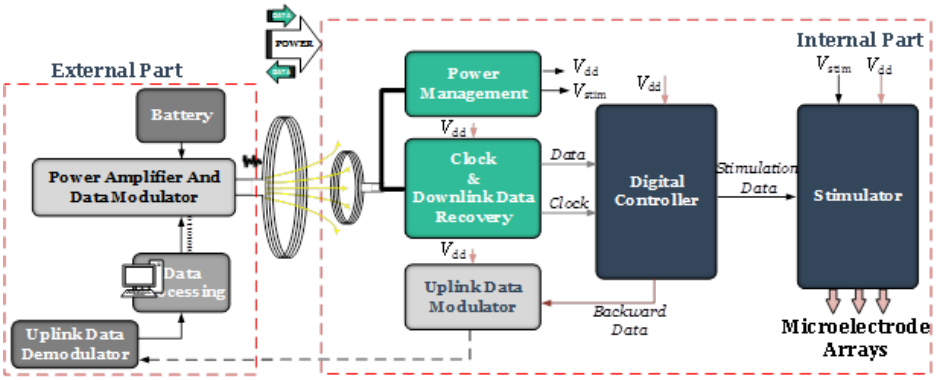
مغز، در واقع مرکز فرمان‌دهی بدن بوده و ساختار بسیار پیچیده‌ای دارد که عمل‌کرد آن هنوز به خوبی شناخته نشده است. از این‌رو، دانش‌مندان همواره در جستجوی یافتن راه‌کارهایی برای پی بردن به جزئیات عمل‌کرد مغز بوده‌اند. در حال حاضر، تحقیقات گسترده‌ای پیرامون شناخت سلول‌های مغزی (نورون‌ها)، ارتباط نورون‌ها با یک‌دیگر و با سایر اعضای بدن، نحوه‌ی پردازش اطلاعات در مغز و ... در حال انجام است. در این راستا، راه‌کارهای مختلفی برای شناخت مغز معرفی شده است که از مهم‌ترین آن‌ها می‌توان به EEG و fMRI اشاره کرد. در روش EEG، الکترودهایی روی سر قرار گرفته و فعالیت‌های مغزی از طریق آن‌ها ثبت می‌گردد، اما به دلیل بزرگ بودن الکترودها در مقابسه با ابعاد نورون‌ها، در این روش، سیگنال هزاران و یا حتی میلیون‌ها نورون به صورت هم‌زمان توسط یک الکترود ثبت می‌شود، از این‌رو رفتار هر نورون به تنهایی قابل تشخیص نمی‌باشد [۱]. به طور مشابه، در روش fMRI نیز صرفا فعالیت یا عدم فعالیت یک ناحیه از مغز قابل تشخیص بوده و مشکل موجود در روش EEG، در این روش نیز وجود دارد [۲]. برای حل این مشکل و افزایش دقت تشخیص عمل‌کرد نورون‌ها، به آرایه‌های میکروالکترودی (با ابعادی در حدود اندازه‌ی نورون‌ها) نیاز است تا در مغز قرار داده شده، سیگنال‌های نورون‌ها را ثبت کرده و یا در صورت نیاز، تحریک‌هایی را به نورون‌ها اعمال کنند. هر چه تعداد این آرایه‌های میکروالکترودی بیش‌تر باشد، تعداد بیش‌تری از نورون‌ها تحت پوشش قرار خواهند گرفت [۳].

هسته‌ای که مسئولیت کنترل فرایند ثبت یا تحریک آرایه‌های میکروالکترودی را بر عهده دارد، یک ریزسامانه‌ی قابل کاشت در بدن است که برای انجام عمل ثبت یا تحریک، به منبعی از توان نیاز دارد. یکی از روش‌های معمول برای انتقال توان و اطلاعات به یک ریزسامانه‌ی قابل کاشت، استفاده از لینک‌های القایی می‌باشد که توسط آن‌ها می‌توان توان مورد نیاز برای ریزسامانه و اطلاعات لازم برای تحریک میکروالکترودها را به صورت بی‌سیم به ریزسامانه منتقل نمود.

در این مقاله، ساختاری برای بازیابی توان از یک لینک القایی ارائه شده است که نسبت به ساختارهای قبلی بازده بیش‌تری دارد. هم‌چنین در بخش دیگری از مقاله، مدارهای مورد نیاز برای بازیابی داده و پالس ساعت، توضیح داده شده و در نهایت، مدارهای مربوط به انتقال توان و داده، شبیه‌سازی شده است.

۲- ساختار کلی ریزسامانه‌ی تحریک‌کننده‌ی قابل کاشت

یک ریزسامانه‌ی تحریک‌کننده‌ی عصبی، به طور کلی از یک بخش خارجی (که بیرون از بدن قرار می‌گیرد)، و یک بخش داخلی (که در بدن کاشته می‌شود)، تشکیل می‌شود [۴]. شکل (۱)، بلوک‌های مربوط به بخش‌های داخلی و خارجی، به همراه لینک القایی را نمایش می‌دهد. بخش خارجی، خود از بلوک‌های مختلفی مانند منبع توان، تقویت کننده‌ی توان و مدولاتور داده تشکیل شده است که به طور کلی، وظیفه‌ی ارسال مشخصات پالس‌های تحریک به همراه پالس ساعت و ارسال توان لازم برای کارکرد صحیح مدار از طریق لینک القایی به ریزسامانه‌ی قابل کاشت در بدن را بر عهده دارند.



شکل (۱)- بخش‌های خارجی و داخلی یک تحریک‌کننده‌ی عصبی

لینک القایی، از دو سیم‌پیچ تشکیل شده است که به طور معمول، سیم‌پیچ اولیه در بیرون از بدن و روی پوست قرار گرفته و سیم‌پیچ ثانویه در زیر پوست کاشته می‌شود. بخش خارجی، یک جریان متناوب در سیم‌پیچ خارجی ایجاد می‌کند که خود باعث تولید یک میدان مغناطیسی توسط سیم‌پیچ اولیه می‌شود. قسمتی از شار تولید شده در سیم‌پیچ اولیه، از

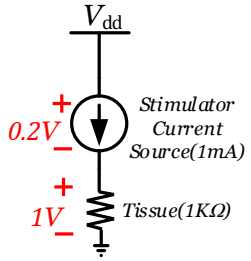
© Copyright 2018 ISBME, http://www.ijbme.org

سیم‌پیچ ثانویه عبور کرده و موجب القای ولتاژ در آن می‌شود. در نتیجه، توان از سیم‌پیچ اولیه به سیم‌پیچ ثانویه منتقل می‌شود. هم‌چنین با مدولاسیون‌های متفاوت، می‌توان داده‌های لازم برای تحریک را روی سیگنال حامل از توان، سوار کرده و از این طریق داده‌ها را به داخل بدن ارسال نمود.

بخش داخلی، خود از چهار واحد اصلی، شامل واحدهای مدیریت توان، بازیابی داده و پالس ساعت، کنترل‌کننده‌ی دیجیتال و تحریک‌کننده، تشکیل شده است. در این مقاله، طراحی و شبیه‌سازی مدارهای لازم برای دو واحد مدیریت توان و بازیابی داده و پالس ساعت، ارائه شده است.

واحد مدیریت توان، وظیفه‌ی ایجاد منابع تغذیه برای سایر بخش‌های ریزسامانه را بر عهده دارد. مدارهای هسته‌ی داخلی ریزسامانه، برای عمل‌کرد صحیح، به ولتاژ ۱/۸ ولت نیاز داشته و واحد تحریک کننده، به ولتاژهای بالاتری نیاز دارد، چرا که در اغلب مواقع، ولتاژ ۱/۸ ولت برای ایجاد تحریک در بافت عصبی، کافی نمی‌باشد.

از طرفی، برای تحریک بافت عصبی، گاهی به جریان‌های تحریک کم و گاهی به جریان‌های تحریک زیاد نیاز است [۵]. در جریان‌های تحریک کم، مقدار ولتاژی که روی بافت قرار می‌گیرد، زیاد نیست. بنابراین، اگر ولتاژ تغذیه‌ی تحریک‌کننده بالا باشد، درصد کمی از توان کشیده شده از ولتاژ تغذیه، صرف تحریک بافت شده و بقیه‌ی آن در دو سر منبع جریان تحریک‌کننده قرار گرفته و در واقع به هدر می‌رود. برای درک بهتر این موضوع، شکل (۲) را در نظر بگیرید.



شکل (۲)- نمایش مدل بافت و منبع جریان تحریک به همراه افت ولتاژ روی هر کدام، در حالتی که: V_{dd}=1.2V

در این شکل، بافت با یک مقاومت ۱ کیلواهم مدل شده و تحریک توسط یک منبع جریان ۱ میلی‌آمپر، صورت می‌گیرد. در صورتی که منبع جریان برای عمل‌کرد صحیح و عدم ورود به ناحیه‌ی اشباع، به توان ۰/۲ ولت نیاز داشته باشد، باید ولتاژ منبع تغذیه بیش‌تر از ۱/۲ ولت بوده تا تحریک به خوبی انجام شود. حال، اگر ولتاژ منبع تغذیه ۱/۲ ولت باشد، توان رسیده به بار، ۱ میلی‌وات و توان تلف شده در منبع جریان، ۰/۲ میلی‌وات بوده و بازده برابر ۸۳٪ می‌باشد. اکنون شرایطی را در نظر بگیرید که ولتاژ منبع تغذیه ۳ ولت باشد. در این صورت، افت ولتاژ روی منبع جریان، حدود دو ولت خواهد بود (جریان و امپدانس بار نسبت به حالت قبل تغییری نکرده و در نتیجه ولتاژ اضافی، روی منبع جریان می‌افتد). در این حالت، میزان تلفات توان در منبع جریان، به ۲ میلی‌وات رسیده و بازده به ۳۳٪ کاهش خواهد یافت.

در این مقاله، ساختار جدیدی برای بلوک مدیریت توان ارائه شده است که نسبت به ساختارهای پیشین، بازده بیش‌تری دارد. در این ساختار، از یک یک‌سوساز فعال برای تولید توان مورد نیاز بخش‌های دیجیتال و ولتاژ-پایین تراشه و از یک یک‌سوساز فعال کنترل شونده با فاز، برای تولید ولتاژ مورد نیاز برای قسمت‌های تحریک‌کننده (منابع جریان تحریک کننده)، استفاده شده است.

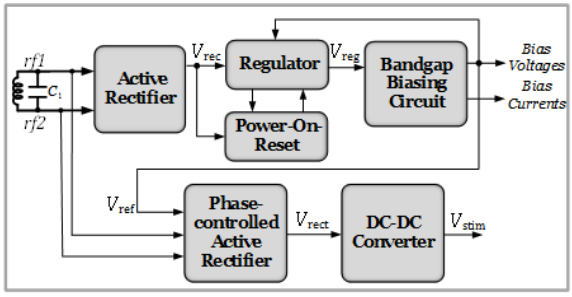
یک یک‌سوساز فعال، به خودی خود، بازده بالایی دارد، اما متاسفانه ولتاژ خروجی آن قابل کنترل نبوده و در مواردی، ولتاژ و توان خروجی بسیار بیش‌تری نسبت به مقداری که تراشه نیاز دارد، تولید می‌کند. برای کنترل ولتاژ خروجی یک یک‌سوساز فعال، می‌توان یک تنظیم‌کننده‌ی ولتاژ را به صورت سری در خروجی آن قرار داد. در تنظیم‌کننده‌ی ولتاژ سری، اگر اختلاف ولتاژ ورودی و خروجی زیاد باشد، مقدار زیادی از توان، به هدر می‌رود. از این‌رو، بازده ترکیب یک یک‌سوساز فعال و یک تنظیم‌کننده‌ی ولتاژ، چندان بالا نیست. راه‌کار دیگر برای کنترل ولتاژ خروجی یک‌سوساز فعال، تبدیل آن به یک یک‌سوساز فعال کنترل‌شونده با فاز، می‌باشد، اما یک یک‌سوساز فعال کنترل‌شونده با فاز، به چندین ولتاژ مرجع در ورودی خود نیاز داشته و تا زمانی‌که این ولتاژهای مرجع فراهم نشوند، خروجی یک‌سوساز در ولتاژ صفر باقی می‌ماند.

راه‌کار پیشنهادی در این مقاله، در شکل (۳) نشان داده شده است. مبنای این روش پیشنهادی، استفاده از ترکیب یک یک‌سوساز فعال و یک تنظیم‌کننده‌ی ولتاژ سری، برای تامین توان قسمت‌های ولتاژ-پایین و کم-توان تراشه و استفاده از یک‌سوساز فعال کنترل‌شونده با فاز، برای تولید ولتاژ و توان مورد نیاز برای بلوک تحریک‌کننده می‌باشد. بدین ترتیب، در ابتدا یک‌سوساز فعال، ولتاژ سینوسی ورودی را به یک ولتاژ DC تبدیل می‌کند که از این طریق، مدار تنظیم‌کننده‌ی ولتاژ و مدار Bandgap، روشن می‌شوند. سپس مدار Bandgap، ولتاژ و جریان‌های مرجع مورد نیاز برای سایر مدارها، از جمله مدار یک‌سوساز فعال کنترل‌شونده با فاز را تولید می‌نماید.

© Copyright 2018 ISBME, http://www.ijbme.org

مدار تحریک‌کننده، سهم عمده‌ای از توان مصرفی تراشه را به خود اختصاص می‌دهد. برای کاهش توان مصرفی در بلوک تحریک‌کننده و بهینه‌سازی بازده مدار، منبع تغذیه‌ی بلوک تحریک‌کننده، که در شکل (۳) با V_{stim} نشان داده شده است، توسط یک‌سوساز فعال کنترل‌شونده با فاز، متناسب با جریان تحریک، تنظیم می‌شود.

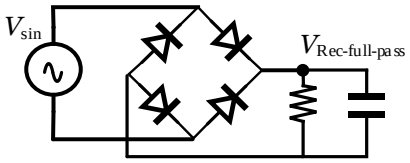
در صورتی که محدوده‌ی ولتاژ مورد نیاز برای تحریک V_{stim} از محدوده‌ی ولتاژ خروجی یک‌سوساز فعال کنترل‌شونده با فاز بیش‌تر باشد، از یک دوبرابرکننده‌ی ولتاژ DC به DC استفاده می‌شود. این بلوک، با بهره‌گیری از خاصیت ذخیره‌کنندگی خازن، سطح ولتاژ خروجی یک‌سوساز را به مقدار مطلوب می‌رساند [۶].



شکل (۳) – بلوک دیاگرام واحد مدیریت توان

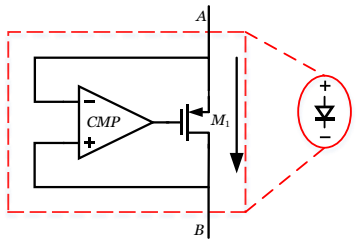
۲-۱- یک‌سوساز فعال

برای تبدیل یک ولتاژ متناوب به یک ولتاژ مستقیم، از یک یک‌سوساز استفاده می‌شود. مدار یک یک‌سوساز پل دیودی تمام موج، در شکل (۴) نشان داده شده است که در آن از چهار دیود استفاده می‌شود. در هر دوره، دو دیود، روشن و دو دیود دیگر، خاموش می‌باشند. با در نظر گرفتن میزان ۰/۷ ولت به عنوان افت ولتاژ برای هر دیود، یک‌سوساز در هر نیم‌دوره‌ی هدایت ولتاژ ورودی، به اندازه‌ی ۱/۴ ولت، افت ولتاژ خواهد داشت، که این مقدار از افت ولتاژ، بازده را به میزان قابل توجهی کاهش می‌دهد [۷].



شکل (۴) – یک‌سوساز پل دیودی

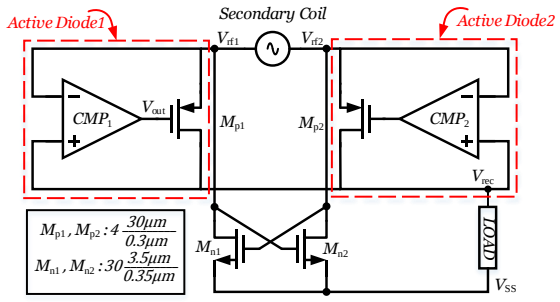
برای حل این مشکل، از یک‌سوسازهای فعال استفاده می‌شود. در این نوع از یک‌سوسازها، به منظور کاهش افت ولتاژ و افزایش بازده، از کلیدهای فعال به جای دیودهای معمولی استفاده می‌شود [۸]. دیود فعال از یک مقایسه‌کننده و یک ترانزیستور PMOS یا NMOS تشکیل شده است (شکل ۵).



شکل (۵) – دیود فعال

مطابق شکل (۵)، در صورتی که ولتاژ گره A بیش‌تر از ولتاژ گره B باشد، خروجی مقایسه‌کننده، پایین بوده، ترانزیستور M_1 روشن شده و در نتیجه، جریان از سمت گره A به گره B برقرار می‌شود. در این حالت، افت ولتاژی که در دیود اتفاق می‌افتد، بسیار کوچک بوده و به اندازه‌ی جریان ترانزیستور M_1 ضرب در R_{on} آن می‌باشد. هر چه R_{on} ترانزیستور کم‌تر باشد، افت ولتاژ دیود فعال نیز کم‌تر خواهد بود.

برای ساخت یک یک‌سوساز تمام‌موج، دو دیود فعال به طور مستقیم در مسیر ولتاژ ورودی قرار می‌گیرند (شکل ۶). هر دیود برای یک‌سوسازی نیم‌دوره از ولتاژ سینوسی ورودی، مورد استفاده قرار می‌گیرد. دیود اول به V_{rf1} و دیود دوم به V_{rf2} متصل می‌شود. هم‌چنین، دو ترانزیستور NMOS نیز جایگزین دو دیود غیرفعال دیگر موجود در ساختار پل دیودی شده که به صورت کلید عمل کرده و افت ولتاژ بسیار کمی را ایجاد می‌کنند [۹].



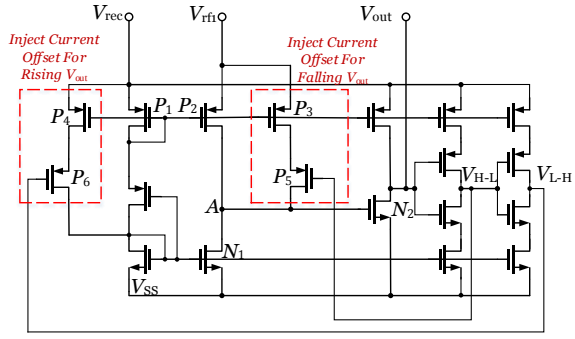
شکل (۶) – یک‌سوساز تمام‌موج با بهره‌گیری از دیودهای فعال [۹]

زمانی که ولتاژ V_{rf1} از ولتاژ آستانه‌ی ترانزیستور M_{n2} بیش‌تر شود، ترانزیستور M_{n2} روشن شده، گره V_{rf2} را به زمین متصل کرده و از این طریق، ترانزیستور M_{n1} خاموش می‌گردد. اگر $V_{rf1}<V_{rec}$ باشد، خروجی مقایسه‌کننده‌ی CMP_1 با مقایسه‌ی ولتاژ یک‌سوشده‌ی V_{rec} و ولتاژ V_{rf1}، پایین بوده و کلید M_{P1} خاموش می‌باشد. با افزایش ولتاژ ورودی (V_{rf1})، خروجی

© Copyright 2018 ISBME, http://www.ijbme.org

مقایسه‌ی CMP_1 (V_{out}) کاهش یافته و ترانزیستور M_{p1} روشن خواهد شد.

طراحی صحیح مقایسه‌کننده‌ی دیودهای فعال، اثر مهمی در افزایش بازده یک‌سوساز دارد. در صورتی که مقایسه‌کننده کلیدهای یک‌سوسازی را با تاخیر روشن نماید، زمان رسیدن توان ورودی به بار خروجی، محدود شده و سطح ولتاژ خروجی و بازده ولتاژ، کاهش می‌یابد. از سوی دیگر، اگر مقایسه‌کننده کلیدهای یک‌سوسازی را با تاخیر خاموش نماید، در یک محدوده‌ی زمانی، سطح ولتاژ یک‌سوشده از ولتاژ ورودی بیش‌تر شده و مقداری جریان از خروجی به سیم‌پیچ بر می‌گردد، که به این جریان، جریان برگشتی می‌گویند. در مدار ارائه شده در این مقاله، از روش تزریق آفست برای کاهش میزان تاخیر روشن و خاموش شدن کلیدهای یک‌سوسازی استفاده شده است [۸][۱۰][۱۱][۱۲]. مدار مقایسه‌کننده به همراه فیدبک تزریق جریان، در شکل (۷) نمایش داده شده است.



شکل (۷) – مدار مقایسه‌کننده با فیدبک تزریق جریان (نیم‌دوره‌ی مثبت) [۹]

این مدار، از یک مقایسه‌کننده‌ی گیت مشترک، سه وارون‌ساز و دو فیدبک تزریق جریان، تشکیل شده است. دو ولتاژ ورودی V_{rec} و V_{rf1}، به ترتیب به پایانه‌های سورس ترانزیستورهای P_1 و P_2 وارد می‌شوند. در حالتی که ولتاژ ورودی از ولتاژ یک‌سوشده بیش‌تر باشد ($V_{rf1}>V_{rec}$)، جریان کشیده شده از ترانزیستور P_2، بیش‌تر بوده و ولتاژ نقطه‌ی A (V_A: ولتاژ گیت وارون‌ساز خروجی) افزایش و به دنبال آن ولتاژ V_{out} کاهش می‌یابد. برای کاهش تاخیر زمان روشن و خاموش شدن، از دو بلوک تزریق آفست جریان استفاده می‌شود که خود شامل ترانزیستورهای P_3-P_6 می‌باشند. برای توضیح عمل‌کرد این بلوک، حالتی را در نظر بگیرید که V_{out} بالا باشد. در این صورت، ولتاژ V_{H-L} پایین بوده و موجب روشن شدن ترانزیستور P_5 می‌شود. با روشن شدن این ترانزیستور، منبع جریانی که توسط ترانزیستور P_3 ساخته شده است، به مقایسه‌کننده متصل شده و ولتاژ V_A را افزایش می‌دهد. با این کار، پیش از این‌که کلیدهای یک‌سوسازی با افزایش ولتاژ V_{rf1} فعال شوند، V_{out} کم شده و در زمانی زودتر از زمان مقرر، کلید یک‌سوسازی را فعال می‌کند. در مقابل، در صورتی که V_{out} پایین باشد، V_{L-H} نیز پایین بوده و ترانزیستور P_6 را به مقایسه‌کننده‌ی اصلی متصل می‌کند. در این صورت، ولتاژ نقطه‌ی A کاهش یافته و V_{out} را افزایش می‌دهد. در این حالت، کلیدهای یک‌سوسازی به موقع خاموش شده و جریان برگشتی حذف می‌گردد [۹].

در لحظه‌ی شروع به کار مدار، ولتاژ خروجی یک‌سوساز، برابر صفر می‌باشد. به همین دلیل، از مقایسه‌کننده‌های گیت مشترک برای پیاده‌سازی مقایسه‌کننده‌های CMP_1 و CMP_2 استفاده شده است، تا نیازی به یک منبع تغذیه‌ی مجزا برای عمل‌کرد صحیح مدار مقایسه‌کننده، وجود نداشته باشد. لذا از همان لحظه‌ی شروع به کار مدار، عمل مقایسه به صورت صحیح انجام شده و به یک مدار Start-up برای یک‌سوساز فعال طراحی شده، نیازی وجود نخواهد داشت.

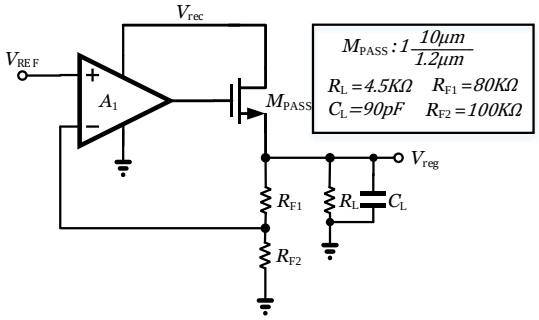
۲-۲- تنظیم‌کننده‌ی ولتاژ

ولتاژ خروجی یک‌سوساز، کاملا صاف نبوده و حاوی موجک است و از این نظر، برای استفاده به عنوان منبع تغذیه مناسب نمی‌باشد. برای حل این مشکل، استفاده از یک تنظیم‌کننده‌ی ولتاژ (رگولاتور[۱]) در خروجی یک‌سوساز، برای تولید ولتاژ صاف با کم‌ترین موجک، امری ضروری می‌باشد. مدار تنظیم‌کننده‌ی ولتاژ سری مورد استفاده در این مقاله، در شکل (۸) به نمایش در آمده است. این مدار از یک تقویت‌کننده، یک ترانزیستور عبوردهنده و یک تقسیم‌کننده‌ی ولتاژ تشکیل شده است. تقویت‌کننده، با مقایسه‌ی ولتاژ مرجع و نسبتی از ولتاژ خروجی، گیت ترانزیستور عبوردهنده را کنترل می‌کند. مدار فیدبک موجود در این تنظیم‌کننده‌ی ولتاژ سری، موجب می‌شود که ولتاژ خروجی آن با ولتاژ مرجع V_{REF} اعمالی به ورودی تقویت‌کننده، متناسب باشد و حساسیت بسیار کمی به ولتاژ ورودی تنظیم‌کننده‌ی ولتاژ (V_{rec}) داشته باشد.

ترانزیستور عبوردهنده‌ی M_{PASS} توسط ترانزیستورهای ذاتی[۲] موجود در فرایند ساخت، پیاده‌سازی شده است تا افت ولتاژ[۳] در مدار تنظیم‌کننده‌ی ولتاژ به حداقل برسد.

[۱] Regulator
[۲] Native
[۳] Dropout Voltage

© Copyright 2018 ISBME, http://www.ijbme.org

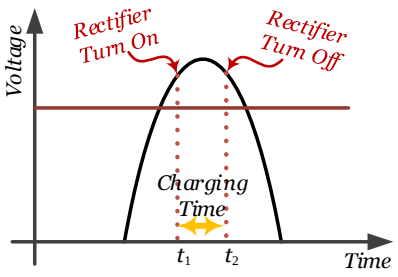


شکل (۸)- مدار تنظیم‌کننده‌ی ولتاژ [۱۳]

۲-۳- یک‌سوساز فعال کنترل‌شونده با فاز

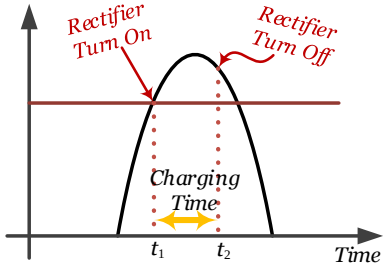
واحد مدیریت توان، وظیفه‌ی تامین توان مورد نیاز برای مدار تحریک‌کننده را بر عهده دارد. برای این منظور، در این طراحی از یک یک‌سوساز فعال کنترل‌شونده با فاز استفاده شده است تا سطح ولتاژ منبع تغذیه‌ی مدار تحریک‌کننده، متناسب با جریان تحریک، قابل کنترل باشد.

در یک یک‌سوساز فعال، با محدود نمودن زمان روشن بودن کلیدهای یک‌سوکنندگی، سطح ولتاژ یک‌سوشده کاهش می‌یابد. بدیهی است که هر چه زمان روشن بودن کم‌تر باشد، سطح ولتاژ یک‌سوشده نیز کم‌تر خواهد بود. مدت زمان روشن بودن یک‌سوساز را می‌توان با روش‌های متفاوتی کنترل نمود. یکی از این راه‌حل‌ها در شکل (۹) نشان داده شده است. همان‌طور که مشاهده می‌شود، در این روش، دو فرمان (یکی جهت روشن شدن و دیگری برای خاموش نمودن کلید یک‌سوساز) صادر شده است که باعث پیچیده شدن طراحی می‌گردد، چرا که هم برای روشن شدن و هم برای خاموش شدن کلیدهای یکسوساز باید یک فرمان کنترلی صادر شود. هم‌چنین در این روش، افت زیادی بین ولتاژ ورودی و ولتاژ یک‌سوشده اتفاق افتاده و در نتیجه، بازده کاهش پیدا می‌کند.



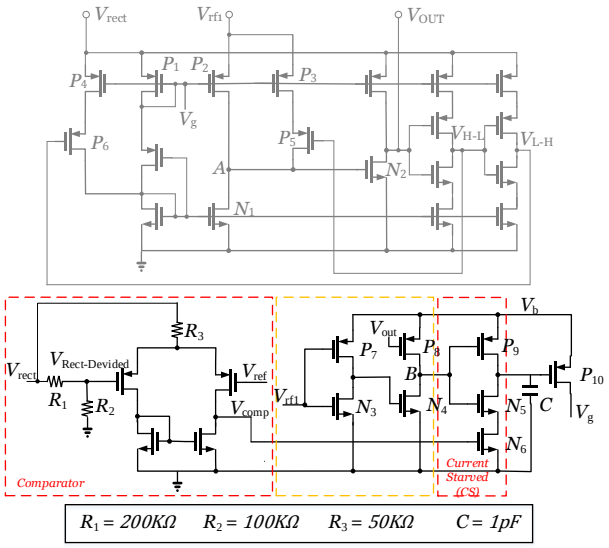
شکل (۹)- روش کنترل فرمان‌های روشن و خاموش شدن در یک یک‌سوساز برای کنترل ولتاژ خروجی [۱۴]

یک روش دیگر در شکل (۱۰) نمایش داده شده است که در آن با بیش‌تر شدن ولتاژ ورودی از ولتاژ یک‌سوشده، کلیدها به صورت خودکار روشن می‌شوند، فقط لازم است تا زمان خاموش شدن، با یک سازوکار مشخص کنترل شود. در این حالت، اختلاف ولتاژ بین ورودی و خروجی، کم‌تر بوده و بازده بهبود پیدا می‌کند [۱۴].



شکل (۱۰)- روش صدور فرمان خاموش شدن برای کنترل سطح ولتاژ خروجی [۱۴]

ایده‌ی اصلی در طراحی و استفاده از این نوع یک‌سوسازها این است که یک کنترل‌کننده، با مقایسه‌ی دامنه‌ی ولتاژ DC خروجی و ولتاژ AC ورودی، یک تاخیر (متناسب با ولتاژ مرجع داده شده) تولید نموده و متناسب با آن زمان، فرمان خاموشی یک‌سوساز را صادر می‌کند. مدار پیشنهاد داده شده در این مقاله برای پیاده‌سازی این روش، در شکل (۱۱) نمایش داده شده است.



شکل (۱۱)- مدار مقایسه‌کننده‌ی یک‌سوساز فعال با فیدبک کنترل فاز به ازای نیم‌دوره‌ی مثبت [۱۴]

هسته‌ی اصلی یک یک‌سوساز فعال کنترل‌شونده با فاز، یک یک‌سوکننده‌ی فعال می‌باشد که مدار مربوط به آن در بخش ۲-۱ به طور کامل توضیح داده شد و در شکل (۱۱) با رنگ

© Copyright 2018 ISBME, http://www.ijbme.org

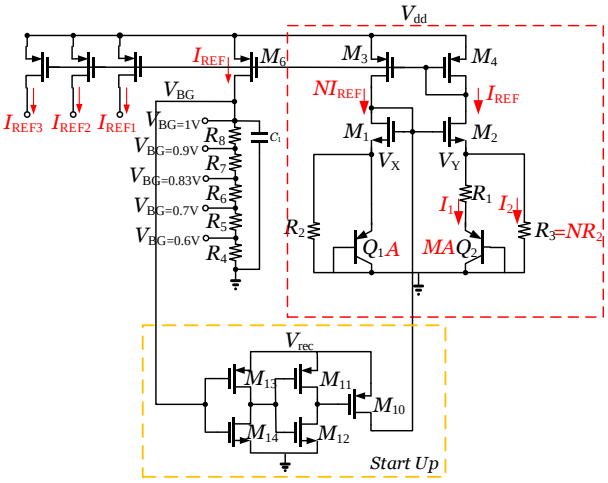
طوسی مشخص شده است. برای کنترل سطح ولتاژ خروجی این یک‌سوساز، از یک شبکه‌ی فیدبک استفاده شده است، به طوری که در ابتدا یک تقویت‌کننده، ولتاژ مرجع (که مقدار آن توسط بلوک‌های کنترل‌کننده‌ی دیجیتال و مدار Bandgap تعیین می‌شود) را با نسبتی از ولتاژ یک‌سوشده (که در این طراحی برابر با یک‌سوم در نظر گرفته شده است)، مقایسه کرده و نتیجه (V_{comp}) را به گیت ترانزیستور N_6، که خود جزئی از وارون‌ساز (CS[1]) است، اعمال می‌کند. در این وارون‌ساز، جریان کشیده شده از خازن خروجی، متناسب با ولتاژ ورودی گیت ترانزیستور N_6 ، تغییر می‌کند. هرچه جریان کشیده شده از این خازن بیش‌تر باشد، پاسخ خروجی به تغییرات ورودی، در زمان کوتاه‌تری داده می‌شود.

به طور خلاصه می‌توان گفت که وارون‌ساز CS، متناسب با اختلاف ولتاژ یک‌سوشده و ولتاژ مرجع، یک دوره‌ی زمانی را تولید می‌نماید که بعد از آن فرمان خاموشی به مقایسه کننده‌ی اصلی صادر می‌شود. خروجی مدار وارون‌ساز، به گیت ترانزیستور P_{10} اعمال می‌شود. سورس این ترانزیستور به بالاترین ولتاژ مدار و درین آن به گیت ترانزیستورهای مقایسه‌کننده‌ی اصلی (P_1 و P_2) متصل شده است. با روشن شدن سوییچ P_{10}، گیت ترانزیستورهای مقایسه‌کننده به بالاترین ولتاژ مدار وصل شده و فارغ از مقدار ورودی‌های مقایسه‌کننده، خروجی مقایسه‌کننده بالا بوده و کلید یک‌سوسازی خاموش می‌باشد.

۲-۴- مدار Bandgap: مدار تولیدکننده‌ی ولتاژها و جریان‌های بایاس

بسیاری از مدارهای آنالوگ، به ولتاژها و جریان‌های مرجعی نیاز دارند که حساسیت اندکی به تغییرات دما، فرایند ساخت و منبع تغذیه داشته باشند. با استفاده از یک مدار Bandgap، می‌توان چنین منابع جریان و ولتاژی را پیاده‌سازی کرد. مدار Bandgap مورد استفاده در این مقاله، در شکل (۱۲) نمایش داده شده است.

مدار Bandgap، با دریافت ولتاژ خروجی مدار تنظیم‌کننده‌ی ولتاژ، ولتاژهای بایاس مورد نیاز سایر مدارهای تراشه و جریان‌های مرجع مورد نیاز بلوک تحریک‌کننده را تولید می‌کند. این مدار، یک ولتاژ مرجع ۱ ولت را برای تنظیم کننده‌ی ولتاژ و سه ولتاژ مرجع ۰/۸۳، ۰/۷ و ۰/۶ ولت را برای مدار یک‌سوساز کنترل‌شونده با فاز، تولید می‌کند. هم‌چنین، چهار جریان ۳ میکروآمپری، به عنوان جریان مرجع به مدارهای تحریک‌کننده فرستاده می‌شود. مدار Bandgap مورد استفاده در این مقاله، به گونه‌ای طراحی شده است که با تغییر دما از ۰ تا ۱۰۰ درجه‌ی سانتی‌گراد، خروجی‌های جریان و ولتاژ تقریبا ثابتی را تولید نماید. با این کار، می‌توان مدار Bandgap را در برابر تغییرات فرایند نیز مقاوم در نظر گرفت (بسیاری از پارامترهای فرایند با دما تغییر می‌کنند).



شکل (۱۲)- مدار Bandgap مورد استفاده در این مقاله [۱۳]

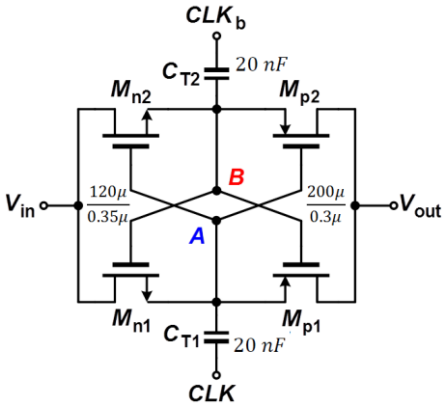
یکی از مسایل مهم در طراحی یک مدار Bandgap، بر طرف کردن نقطه‌ی کار نادرست مدار (که در آن مدار خاموش می‌باشد) است. برای حل این مشکل، باید از مداری موسوم به مدار راه‌انداز استفاده نمود، که در شکل (۱۲) در مستطیل زرد نشان داده شده است. در صورت خاموش ماندن مدار Bandgap در زمان آغاز به کار مدار، ولتاژ V_{BG} در مقدار صفر باقی مانده و این باعث روشن شدن ترانزیستور M_{10} می‌شود. با روشن شدن M_{10}، ترانزیستور M_1 روشن شده، سپس تمام ترانزیستورهای مدار، به ترتیب روشن می‌شوند و بعد از روشن شدن کامل مدار، ترانزیستور M_{10} خاموش می‌شود.

۲-۵- مدار دوبرابر کننده‌ی ولتاژ DC-DC

در این مقاله، از یک مدار دوبرابر کننده‌ی ولتاژ سوییچ‌شونده‌ی خازنی با ساختار Cross-coupled، برای تولید منبع تغذیه‌ی مورد نیاز برای بلوک تحریک‌کننده، استفاده شده است. این مدار بر مبنای ساختار ارائه شده در [۱۵] استواربوده و برای کار کردن در ولتاژهای ورودی بسیار پایین مناسب می‌باشد. ساختار پایه‌ی این مدار در شکل (۱۳) نشان داده شده است.

[1] Current Starved (CS)

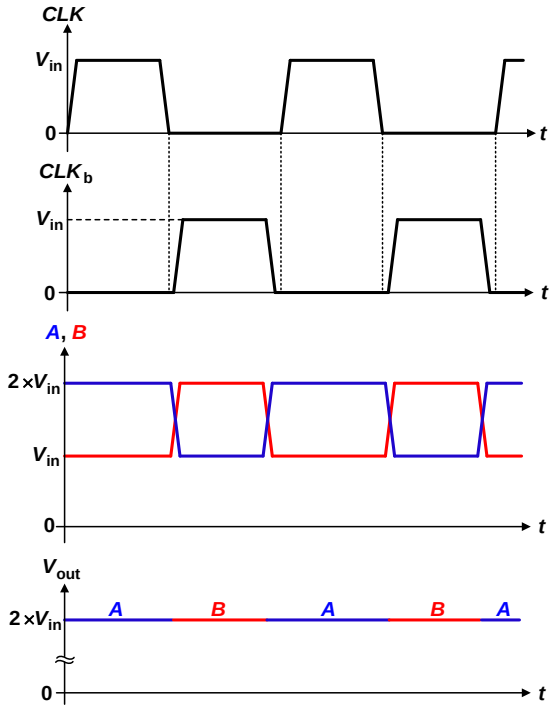
© Copyright 2018 ISBME, http://www.ijbme.org



شکل (۱۳)- ساختار مدار دوبرابر کننده‌ی ولتاژ Cross-Coupled

با فرض این‌که ولتاژ اولیه‌ی خازن‌های ذخیره، برابر با صفر و $V_{in} = V_{DD}$ باشد، نحوه‌ی کار مدار به این گونه است که وقتی سیگنال CLK، مقدار Low و سیگنال CLK_b، مقدار High را داشته باشد، ولتاژ گره B برابر با V_{DD} شده و ترانزیستور M_{n1} روشن می‌شود. با روشن شدن این ترانزیستور، خازن ذخیره کننده‌ی C_{T1}، مقدار ولتاژ $V_{in} = V_{DD}$ را در خود ذخیره کرده و ولتاژ گره A برابر با V_{DD} می‌گردد. حال وقتی سیگنال CLK، مقدار High و سیگنال CLK_b، مقدار Low را داشته باشد، ولتاژ گره A برابر با $2 \times V_{DD}$ شده، موجب روشن شدن ترانزیستور M_{n2} گشته و خازن ذخیره‌ی C_{T2} نیز با ولتاژ $V_{in} = V_{DD}$ شارژ می‌شود. بعد از گذشت مدت زمان کوتاهی و با اطمینان از شارژ شدن کامل خازن‌های C_{T1} و C_{T2}، می‌توان انتقال بار به خروجی را مورد بررسی قرار داد. اکنون اگر سیگنال CLK، مقدار Low و سیگنال CLK_b، مقدار High را داشته باشد، ولتاژ گره B برابر با $2 \times V_{DD}$ و ولتاژ گره A برابر با V_{DD} می‌گردد. این امر موجب روشن شدن ترانزیستور M_{n1} شده و خازن مربوط به این گره را به مقدار $V_{in} = V_{DD}$ شارژ می‌کند و از طرفی باعث روشن شدن ترانزیستور M_{p2} شده، خروجی را به گره B متصل کرده و همین امر باعث می‌شود که خروجی مقداری برابر با $2 \times V_{DD}$ را به دست آورد. این روند با وصل شدن مداوم گره خروجی به یکی از گره‌های A یا B ادامه پیدا کرده و در نتیجه، خروجی همواره به ولتاژ $2 \times V_{DD}$ وصل می‌باشد. شکل (۱۴)، ولتاژ گره‌های A، B و خروجی را در حالت ماندگار نشان می‌دهد.

با انتخاب این ساختار به عنوان مبنای دوبرابر کننده، مدار طراحی شده باید خواسته‌های مورد نظر را به خوبی پاسخ دهد. مشخصات اصلی مدار دوبرابر کننده‌ی ولتاژ، در جدول (۱) آورده شده است.



شکل (۱۴)- ولتاژ گره‌های A، B و خروجی مدار Cross-Coupled در حالت ماندگار

جدول (۱)- مشخصات عمل‌کردی مدار دوبرابر کننده‌ی ولتاژ به ازای V_{in}=2.5V

هدف مشخص	پارامتر
۴/۸۴ V	ولتاژ خروجی
۴ mA	جریان بار
۵۰ mV	موجک ولتاژ خروجی
۵۰ µS	زمان راه‌اندازی
٪۹۳	بازده

۲-۶- مدار POR[1]

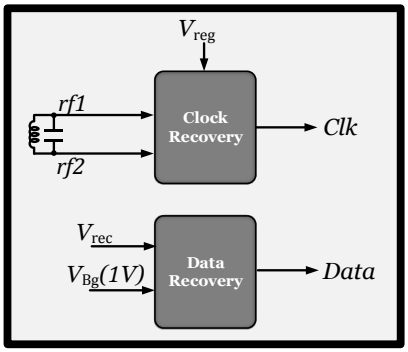
در مدار تنظیم‌کننده‌ی ولتاژ، ولتاژ مرجع از خروجی مدار bandgap تامین می‌گردد و این در حالی است که منبع تغذیه‌ی مدار Bandgap، خود از خروجی تنظیم‌کننده‌ی ولتاژ گرفته می‌شود. با این شرایط، به نظر می‌رسد که در شروع به کار مدار، یک حلقه‌ی فیدبک منفی، خروجی تنظیم‌کننده‌ی ولتاژ و به تبع آن، خروجی Bandgap (ولتاژ مرجع تنظیم کننده‌ی ولتاژ) را در ولتاژ صفر نگه می‌دارد. برای حل این مشکل از یک مدار POR استفاده می‌شود. این مدار در ابتدای اتصال منبع توان، تنظیم‌کننده‌ی ولتاژ را روشن می‌کند. با این کار، مدار Bandgap فعال شده و ولتاژ مرجع تنظیم‌کننده‌ی ولتاژ را تولید می‌کند که در نتیجه‌ی آن، مدار تنظیم‌کننده‌ی ولتاژ به طور کامل روشن می‌گردد.

[1] Power On Reset

© Copyright 2018 ISBME, http://www.ijbme.org

۳- بلوک بازیابی داده و پالس ساعت

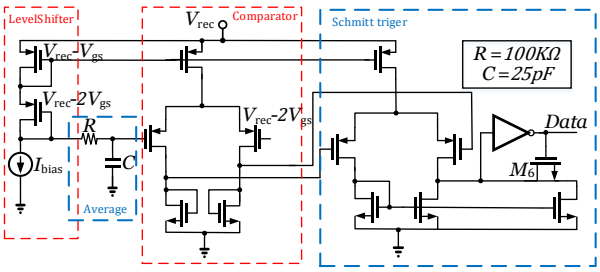
در ریزسامانه‌های قابل کاشت، اطلاعاتی از قبیل آدرس الکترودهای تحریک‌کننده، دامنه‌ی جریان تحریک، عرض پالس جریان تحریک و غیره، از بیرون بدن به ریزسامانه فرستاده می‌شود [۱۶]. بلوک‌های بازیابی داده و پالس ساعت، با استخراج داده و پالس ساعت از روی سیگنال القا شده در سیم‌پیچ ثانویه، اطلاعات لازم را به بلوک کنترل‌کننده‌ی دیجیتال منتقل می‌کنند [۱۰] [۱۶] (شکل ۱۵).



شکل (۱۵)- بلوک‌های بازیابی داده و پالس ساعت

۳-۱- بلوک بازیابی داده

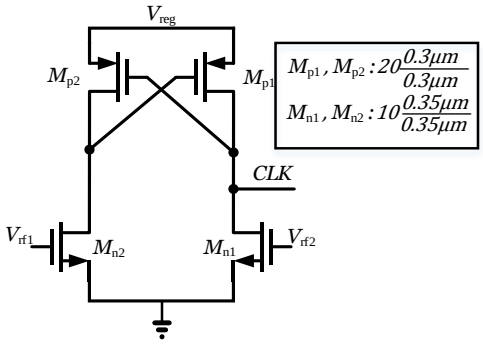
دمدولاتور طراحی شده در این مقاله، از مدارهای مختلفی شامل شیفت‌دهنده‌ی سطح ولتاژ، میانگین‌گیر، مقایسه‌کننده و اشمیت‌تریگر تشکیل شده است. بلوک اول (شیفت‌دهنده‌ی سطح ولتاژ)، وظیفه‌ی کاهش سطح DC ولتاژ یک‌سوشده‌ی ورودی (که از خروجی یک‌سوساز فعال گرفته می‌شود) به دمدولاتور را بر عهده دارد. با این کار، سیگنال V_{rec} در محدوده‌ی ورودی بلوک مقایسه‌کننده قرار می‌گیرد. بلوک مقایسه‌کننده، با مقایسه‌ی سیگنال ورودی شیفت‌یافته و میانگین آن (که توسط بلوک متوسط‌گیر محاسبه می‌شود)، داده‌ها را بازیابی نموده و در نهایت، بلوک اشمیت‌تریگر با بهره‌گیری از فیدبک مثبت، داده با سطوح ولتاژی مشخص را تولید می‌نماید [۱۷]. مدار بازیابی داده‌ی مورد استفاده در این مقاله، در شکل (۱۶) نمایش داده شده است [۱۴].



شکل (۱۶)- مدار بازیابی داده [۱۵]

۳-۲- مدار بازیابی پالس ساعت

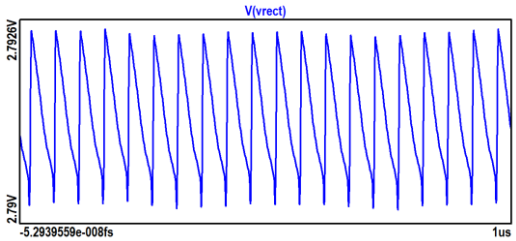
بلوک‌های دیجیتال مدار تحریک‌کننده، برای پردازش اطلاعات، به یک سیگنال پالس ساعت نیاز دارند [۱۸]. از این‌رو، وجود واحد بازیابی پالس ساعت در تراشه ضروری می‌باشد. این بلوک با دریافت ولتاژ سینوسی از سیم‌پیچ ثانویه و نیز ولتاژ خروجی تنظیم‌کننده‌ی ولتاژ، پالس ساعت را بازیابی می‌نماید. مدار مربوط به این بلوک، یک مقایسه‌کننده‌ی تفاضلی همراه با فیدبک مثبت بوده که ورودی‌های آن، ولتاژ دریافتی از سیم‌پیچ ثانویه می‌باشد، که با مقایسه‌ی آن‌ها، سیگنال سینوسی حامل توان، به یک سیگنال پالس مربعی تبدیل می‌شود (شکل ۱۷) [۱۴].



شکل (۱۷)- مدار بازیابی پالس ساعت [۱۴]

۴- نتایج شبیه‌سازی

برای ارزیابی مدارهای طراحی شده، باید هر مدار به صورت جداگانه و هم‌چنین در اتصال با سایر مدارها، شبیه‌سازی شود. اولین مدار مورد بررسی، یک‌سوساز فعال می‌باشد. بدین منظور، یک ولتاژ سینوسی ۳ ولت با فرکانس ۱۰ مگاهرتز به ورودی یک‌سوساز اعمال شده و خروجی آن مشاهده می‌گردد. نتیجه‌ی این شبیه‌سازی در شکل (۱۸) نمایش داده شده است که در آن ولتاژ یک‌سوشده (V(Vrec)) بر حسب زمان رسم شده است.



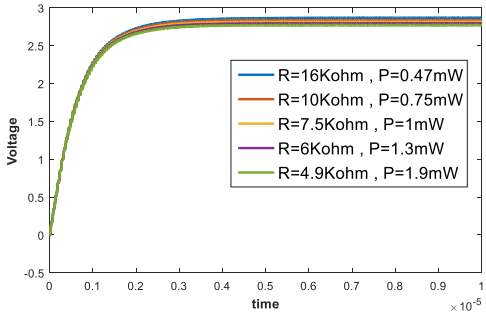
شکل (۱۸)- نمایش ولتاژ خروجی یک‌سوساز فعال که سطح dc آن در حدود ۲/۷۹ ولت با مقدار موجک ۶ میلی‌ولت می‌باشد

همان‌طور که مشاهده می‌شود، مقدار ولتاژ dc خروجی، برابر با ۲/۷۹ ولت است که نشان‌دهنده‌ی بازده ولتاژی در حدود ۹۴٪

© Copyright 2018 ISBME, http://www.ijbme.org

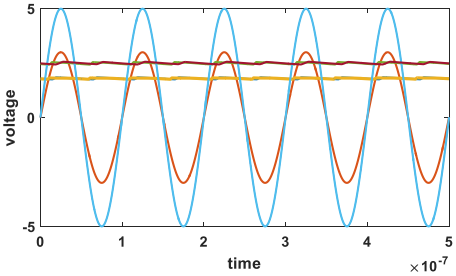
بوده که از این جهت، در مقایسه با یک‌سوسازهای مشابه، بسیار مطلوب می‌باشد. هم‌چنین، مقدار موجک ولتاژ خروجی با خازن خروجی ۳ نانوفاراد، برابر با ۶ میلی‌ولت است.

بار خروجی یک‌سوساز، به دلایل مختلفی می‌تواند تغییر کند، به همین دلیل، لازم است تا اثر تغییر توان مصرفی خروجی بر عمل‌کرد مدار یک‌سوساز فعال، مورد بررسی قرار گیرد. ولتاژ یک‌سوشده بر حسب زمان، به ازای ۶ بار خروجی متفاوت (که با تغییر مقاومت بار در خروجی یک‌سوساز صورت می‌گیرد) در شکل (۱۹) نمایش داده شده است. همان‌طور که مشاهده می‌شود، توان خروجی بین ۰/۴۷ تا ۱/۶ میلی‌وات تغییر می‌کند، اما ولتاژ یک‌سوشده، تقریبا ثابت است.



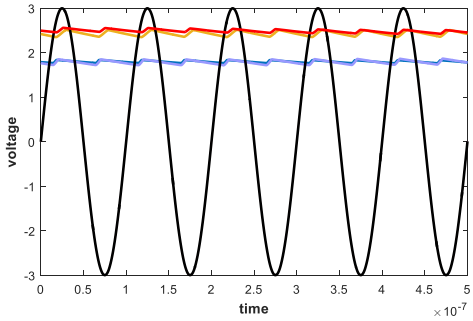
شکل (۱۹)– ولتاژ خروجی یک‌سوساز فعال، بر حسب زمان، به ازای تغییر توان خروجی (تغییر بار خروجی یک‌سوساز)

در مدار یک‌سوساز فعال کنترل‌شونده با فاز، به دلیل یک‌سان بودن هسته‌ی اصلی یک‌سوکنندگی، از گزارش مختصات یک‌سوسازی صرف‌نظر شده و تنها به ویژگی‌های کنترل-شوندگی اشاره می‌شود. بدین منظور، در ابتدا لازم است که پایداری مدار و ثبات ولتاژ خروجی به ازای تغییر ولتاژ ورودی بررسی شود. همان‌طور که در شکل (۲۰) مشاهده می‌شود، ولتاژ یک‌سوشده، با تغییر دامنه‌ی ورودی از ۳ (سینوسی با رنگ قرمز) تا ۵ ولت (سینوسی با رنگ آبی)، با ولتاژهای مرجع ۰/۶ و ۰/۸۳ ولت، به ترتیب در ولتاژهای ۱/۸ (خط صاف نارنجی) و ۲/۵ ولت (خط صاف قهوه‌ای)، ثابت شده است.



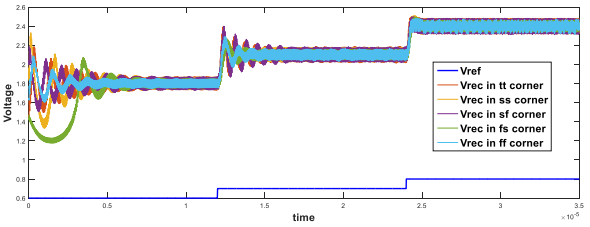
شکل (۲۰)– ثبات ولتاژ خروجی یک‌سوساز کنترل‌شونده با فاز به‌ازای تغییر دامنه‌ی ولتاژ ورودی از ۳ تا ۵ ولت به ازای ولتاژهای مرجع ۰/۶ و ۰/۸۳ ولت

علاوه بر این، ولتاژ خروجی مدار یک‌سوساز فعال کنترل‌شونده با فاز، باید در مقابل تغییر توان مصرفی خروجی نیز مقاوم بوده و تغییر چندانی نداشته باشد. از این‌رو، مدار طراحی شده در این مقاله، به ازای دو مقاومت ۲۰۰ و ۴۰۰ اهم و به ازای ولتاژ خروجی ۱/۸ و ۲/۵ ولت، شبیه‌سازی شده و نتایج آن در شکل (۲۱) نمایش داده شده است. مشاهده می‌شود که در ولتاژ مرجع ۰/۶ ولت، خطوط رنگ بنفش و آبی، روی هم منطبق شده و هم‌چنین در ولتاژ مرجع ۰/۸۳ ولت، ولتاژ قرمز و نارنجی، روی یک‌دیگر انطباق یافته‌اند، که این مطلب نشان دهنده‌ی عمل‌کرد مطلوب مدار می‌باشد. لازم به ذکر است که تعداد حالت‌هایی که شبیه‌سازی شده، بسیار بیش‌تر از آن‌چه در این مقاله به آن اشاره شده است، بوده و در تمام موارد، مدار به خوبی کار می‌کند.



شکل (۲۱)– بررسی اثر تغییر ولتاژ خروجی یک‌سوساز فعال در بارهای خروجی ۲۰۰ تا ۴۰۰ اهم و به ازای ولتاژهای مرجع ۰/۶ و ۰/۸۳ ولت

هم‌چنین، عمل‌کرد مدار یک‌سوساز فعال کنترل‌شونده با فاز، در پنج گوشه‌ی مختلف فرایند ساخت ff، fs، sf، ss و tt، به ازای ولتاژهای مرجع مختلف، بررسی شده و ولتاژ یک‌سو شده‌ی آن در شکل (۲۲) نمایش داده شده است.



شکل (۲۲)– نمایش ولتاژ یک‌سوشده‌ی مدار یک‌سوساز فعال کنترل‌شونده با فاز، به ازای ولتاژهای مرجع ۰/۶، ۰/۷ و ۰/۸ ولت، در گوشه‌های مختلف فرایند ساخت

در این شکل، ولتاژ مرجع (نمودار آبی) با گام‌های ۰/۱ ولت، مقادیر ۰/۶، ۰/۷ و ۰/۸ را اختیار کرده و خروجی یک‌سوساز

© Copyright 2018 ISBME, http://www.ijbme.org

(V_{rec})، به ترتیب در مقادیر ۱/۸، ۲/۱ و ۲/۴ ولت، هم‌گرا شده است. همان‌طور که انتظار می‌رود، پس از گذشت زمانی اندک، مدار در تمامی گوشه‌ها، به مقدار مورد نظر هم‌گرا می‌شود. این شبیه‌سازی، هم‌چنین پایداری مدار یک‌سوساز کنترل‌شونده با فاز را به ازای ورودی‌های مختلف و در گوشه‌های مختلف فرایند ساخت، آشکار می‌سازد. در جدول (۲)، مقایسه‌ای میان دو یک‌سوساز معرفی شده در این مقاله و سایر یک‌سوسازهای ارائه شده در مقالات دیگر، صورت گرفته است.

جدول (۲)- مقایسه‌ی پارامترهای مهم یک‌سوسازهای ارائه شده در این مقاله و سایر مقالات مشابه

	یک‌سوساز PCA*	یک‌سوساز فعال	۲۰۱۸ [۱۹]	۲۰۱۶ [۲۰]	۲۰۱۴ [۲۲]	۲۰۱۲ [۲۱]	۲۰۰۹ [۲۳]
فرکانس (MHz)	۱۰	۱۰	۱۳/۵۶	۱۳/۵۶	۰/۶	۱۰	۱۰
دامنه‌ی ورودی (V)	۵-۳	۵-۳	۵/۴–۲/۹	۳/۶–۱/۸	۳/۳	۲/۷–۰/۸	۱/۲۵
ولتاژ خروجی (V)	وابسته به V_{ref}	۴/۶–۲/۸۵	۵-۲/۷	۳/۳۳–۱/۴۵	۳-۱	۲-۰/۳	۰/۹۶
VCE**	٪۹۵–۹۲	٪۹۵–۹۲	٪۹۳–۹۲	٪۹۲–۸۰	٪۹۵	٪۷۴–۳۷	٪۷۶/۸
R_{load} (Ω)	۳۰۰	۷۰۰۰	۵۰۰	۵۰۰	بدون بار	۲۰۰۰	۲۰۰۰
C_{load} (nF)	۳	۳	۱/۷	۲	بدون بار	۰/۲	-
PCE	٪۹۴–۸۰	٪۹۲–۸۵	٪۸۶/۱–۸۴/۶	٪۹۱/۴–۸۹/۱	٪۹۰	٪۸۶–۶۰	٪۷۶

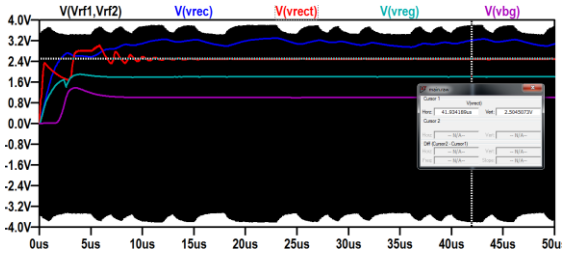
* Phase-Controlled Active Rectifier **Voltage Conversion Efficiency

مشخصات مهم مدار تنظیم‌کننده‌ی ولتاژ، شامل بهره‌ی DC، حاشیه‌ی فاز، نرخ رد تغییرات منبع (PSRR)، توان مصرفی و سطح ولتاژ خروجی، در سه گوشه‌ی مختلف فرایند ساخت و به ازای ولتاژ ورودی ۳ ولت و جریان بار ۴۰۰ میکروآمپر، در جدول (۳) گزارش شده است.

جدول (۳)- مقایسه‌ی پارامترهای مهم تنظیم‌کننده‌ی ولتاژ در گوشه‌های مختلف فرایند ساخت، به ازای ولتاژ ورودی ۳ ولت و جریان خروجی ۴۰۰ میکروآمپر

گوشه‌ی فرایند	TT	FF	SS
بهره‌ی DC (dB)	۳۴/۳۲	۳۳/۴	۳۳/۷
حاشیه‌ی فاز (°)	۵۵	۵۳	۴۴
PSRR(dB)	-۱۶	-۱۸	-۱۰
توان (uW)	۷۱	۸۳	۷۷
سطح ولتاژ خروجی	۱/۸۰۳	۱/۸۰۹	۱/۸۰۸

لازم به ذکر است که فیدبک‌های مختلفی در مدار وجود دارد، که از آن جمله می‌توان به فیدبک روشن کردن مدار Bandgap، فیدبک منفی در تنظیم‌کننده‌ی ولتاژ، فیدبک بین مدار Bandgap و تنظیم‌کننده‌ی ولتاژ و مدار POR و فیدبک‌های موجود در یک‌سوساز فعال و یک‌سوساز فعال کنترل‌شونده با فاز، اشاره کرد. مدارهایی که در داخل اکثر این فیدبک‌ها قرار گرفته‌اند، بسیار غیرخطی بوده و نمی‌توان از شبیه‌سازی ac برای آن‌ها استفاده کرد. از این‌رو، قابل اطمینان‌ترین و تنها راه حل، شبیه‌سازی زمانی[۱] در گوشه‌های مختلف فرایند ساخت و در ولتاژها و دماهای متفاوت می‌باشد تا مشخص شود که تمام مدارها به موقع روشن شده و دچار نوسان نمی‌گردند. به همین دلیل، تمامی مدارهای واحد مدیریت توان، با هم شبیه‌سازی شده است تا علاوه بر سنجش عمل‌کرد جداگانه‌ی هر مدار، رفتار مدارها در اتصال با یک‌دیگر نیز بررسی شود. در شکل (۲۳)، ولتاژ ورودی (V(Vrf1,Vrf2))، ولتاژ یک‌سوشده‌ی خروجی یک‌سوساز فعال (V(Vrec))، ولتاژ یک‌سوشده‌ی خروجی یک‌سوساز کنترل‌شونده با فاز (V(Vrect)) به ازای ولتاژ مرجع ۰/۸۳، ولتاژ خروجی تنظیم‌کننده‌ی ولتاژ (V(Vreg)) و در نهایت، یکی از ولتاژهای خروجی Bandgap با مقدار ۱ ولت (V(Vbg))، نشان داده شده است. برای این شبیه‌سازی، دامنه‌ی سیگنال ورودی به سیم‌پیچ اولیه، برابر با ۳/۵ ولت و اندیس مدولاسیون، برابر با ٪۵ می‌باشد.



شکل (۲۳)- نتایج شبیه‌سازی شکل موج‌های ورودی ($V(V_{rf1},V_{rf2})$)، ولتاژ خروجی یک‌سوساز فعال (V(vrec))، ولتاژ خروجی یک‌سوساز فعال کنترل‌شونده با فاز (با مرجع ۰/۸۳ ولت) (V(vrect))، ولتاژ خروجی مدار تنظیم‌کننده‌ی ولتاژ (V(vreg)) و ولتاژ خروجی مدار Bandgap (V(vbg))، به ازای دامنه‌ی ورودی ۳/۵ ولت و اندیس مدولاسیون ٪۵

[۱] Transient

© Copyright 2018 ISBME, http://www.ijbme.org

برای شبیه‌سازی بلوک بازیابی داده، یک مدار در سمت سیم‌پیچ اولیه تعبیه می‌شود که قادر است داده‌های رندوم با ضریب مدولاسیون قابل تنظیم را روی سیگنال حامل توان، سوار کند. مدار دمدولاتور، زمانی به درستی کار می‌کند که داده‌های بازیابی‌شده در طرف ثانویه، با داده‌های ارسالی در طرف اولیه، یک‌سان بوده و تنها تفاوت آن‌ها در تاخیر ناشی از رسیدن سیگنال حامل توان از سمت اولیه به ثانویه باشد.

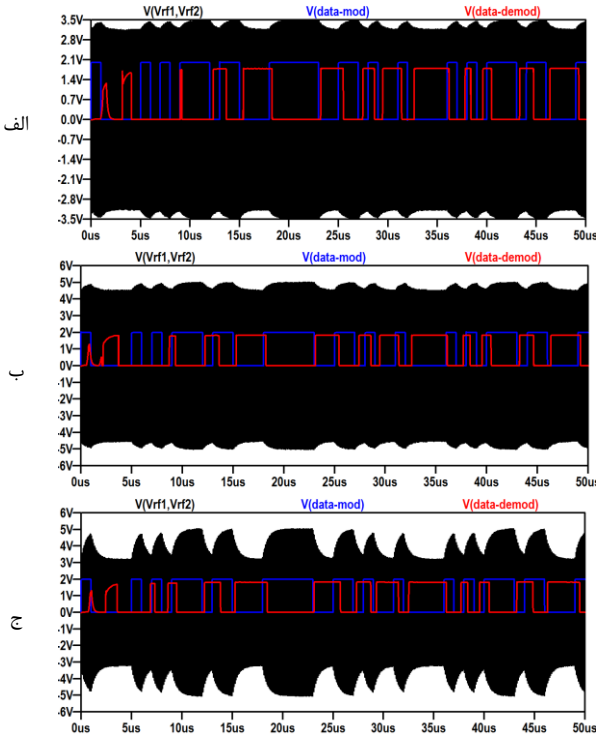
نرخ انتقال داده‌ی مورد نظر در این مقاله، برابر با ۱ مگاهرتز بوده و دمدولاتور باید قادر باشد تا داده‌هایی با ضریب مدولاسیون بین ۵ تا ۲۵٪ را بازیابی نماید. نتایج شبیه‌سازی مدار دمدولاتور در گوشه‌ی tt، به ازای موارد زیر، در شکل (۲۴) قابل مشاهده است:

الف) ضریب مدولاسیون ۵٪ با دامنه‌ی ۳ ولت

ب) ضریب مدولاسیون ۵٪ با دامنه‌ی ۵ ولت

ج) ضریب مدولاسیون ۲۵٪ با دامنه‌ی ۴ ولت

مطابق این شکل، داده‌ی دمدوله شده (V(data-demod)) با داده‌ی ارسالی از طرف اولیه (V(data-mod))، در هر سه مورد به درستی تطابق دارد. لازم به ذکر است که داده‌ی بازیابی شده، وارون داده‌ی مدوله شده می‌باشد.



شکل (۲۴)- شکل موج ولتاژ ورودی (V(Vrf1,Vrf2))، داده‌ی مدوله‌شده در بیرون بدن (V(data-mod)) و داده‌ی دمدوله‌شده در ریزسامانه (V(data-demod)) به ازای: الف) ضریب مدولاسیون ۵٪ و دامنه‌ی ۳ ولت، ب) ضریب مدولاسیون ۵٪ با دامنه‌ی ۵ ولت، ج) ضریب مدولاسیون ۲۵٪ با دامنه‌ی ۴ ولت

۴- نتیجه‌گیری

در این مقاله، مساله‌ی انتقال توان و داده، به یک ریزسامانه‌ی تحریک الکتریکی برای یک ایمپلنت مغزی، مورد بررسی قرار گرفت و ساختاری جدید برای بازیابی توان در یک ریزسامانه‌ی قابل کاشت مغزی، ارائه گردید. بلوک‌دیاگرام ساختار جدید واحد مدیریت توان که اجزای اصلی آن شامل یک یک‌سوساز فعال، یک تنظیم‌کننده‌ی ولتاژ سری، یک مدار Bandgap، یک یک‌سوساز فعال کنترل‌شونده با فاز و یک دوبرابر کننده‌ی ولتاژ DC-DC بود، توضیح داده شد و طرز کار مدارهای هر بلوک به طور کامل تشریح گردید. در نهایت، با گزارش نتایج شبیه‌سازی هر مدار به صورت مجزا و در اتصال با هم، صحت عمل‌کرد بلوک بازیابی توان، مورد ارزیابی قرار گرفت.

علاوه بر این، مدارهای مربوط به بلوک‌های بازیابی داده و پالس ساعت نیز توضیح داده شد و نتایج شبیه‌سازی آن‌ها هم ارائه گردید.

۶- سپاس‌گزاری

این پژوهش، بر اساس قرارداد شماره‌ی ۳۷۳۸، توسط ستاد توسعه‌ی علوم و فناوری‌های شناختی ایران، مورد حمایت قرار گرفته است که بدین وسیله نویسندگان از حمایت مالی این ستاد تشکر می‌نمایند.

۷- مراجع

[1] S. Sanei and J. Chambers, “introduction to EEG” in *EEG signal processing*, 1st ed, New York: Wiley, 2007, ch 1, pp.289.

[2] J. Liu, Lai Xu, A. Caprihana, and V. D. Calhoun, “Extracting principle components for discriminant analysis of FMRI images,” in 2008 IEEE International Conference on Acoustics, Speech and Signal Processing, pp. 449–452., 2008.

[3] M. L. Hines and N. T. Carnevale, “The NEURON Simulation Environment,” Neural Comput., vol. 9, no. 6, pp. 1179–1209, Aug. 1997.

[4] K. Bazaka and M. Jacob, “Implantable Devices: Issues and Challenges, ” Multidisciplinary Digital Publishing Institute. vol. 2, no. 1, pp: 1-34, Dec. 2012.

[5] X. F. Wei and W. M. Grill, “Current density distributions, field distributions and impedance analysis of segmented deep brain stimulation electrodes,” Journal of Neural Engineering, vol. 2, no. 4, pp. 139–147, Dec. 2005.

[6] Ling Su and Dongsheng Ma, “Design and optimization of integrated low-voltage low-power monolithic CMOS charge pumps,” Proc. in 2008 International Symposium on Power Electronics, pp. 43–48, 2008.

© Copyright 2018 ISBME, http://www.ijbme.org

[7] C. Peters, O. Kessling, F. Henrici, M. Ortmanns, and Y. Manoli, "CMOS Integrated Highly Efficient Full Wave Rectifier," in 2007 IEEE International Symposium on Circuits and Systems, pp. 2415–2418, 2007.

[8] S. S. Hashemi Aghcheh Body, "High-Efficiency Low-Voltage Rectifiers for Power Scavenging Systems," Ph.D thesis, École Polytechnique de Montréal, 2011.

[9] H. M. Lee and M. Ghovanloo, "An integrated power-efficient active rectifier with offset-controlled high speed comparators for inductively powered applications," IEEE Trans. Circuits Syst., vol. 58, no. 8, pp. 1749–1760, 2011.

[10] N. Tran et al., "A complete 256-electrode retinal prosthesis chip," IEEE J. Solid-State Circuits, vol. 49, no. 3, pp. 751–765, 2014.

[11] D. M. Merfeld and R. F. Lewis, "Replacing semicircular canal function with a vestibular implant," Curr. Opin. Otolaryngol. Head Neck Surg., vol. 20, no. 5, pp. 386–392, Oct. 2012.

[12] Lin, Feng-Hsu. "An Integrated Rectifier/Regulator for a Wireless Battery Charging System." M.S.c Thesis, Case Western Reserve University, 2009.

[13] M. M. Ahmadi, "A Wireless Implantable Microsystem for Continuous Blood Glucose Monitoring, " Ph.D. thesis, University of Calgary, 2007.

[14] H. Lee, H. Park, "A Power-Efficient Wireless System With Adaptive Supply Control for Deep Brain Stimulation," in IEEE Journal of Solid-State Circuits, vol. 48, no. 9, pp. 2203–2216, 2013.

[15] P. Favrat, P. Deval and M. J. Declercq, "A high-efficiency CMOS voltage doubler," in IEEE Journal of Solid-State Circuits, vol. 33, no. 3, pp. 410-416, March 1998.

[16] N. Tran et al., "A flexible electrode driver using 65 nm CMOS process for 1024-electrode Epi-retinal prosthesis," 2010 5th International Conference on Future Information Technology, pp. 1-5, 2010.

[17] F. Yuan, "Differential CMOS Schmitt trigger with tunable hysteresis," Analog Integr. Circuits Signal Process., vol. 62, no. 2, pp. 245–248, 2010.

[18] G. Cai, A. Pun, D. Kwong, and K. Wang, "A 2.4pJ/bit ASK demodulator with 100% modulation rate for 13.56MHz NFC/RFID applications," *Proc. - IEEE Int. Symp. Circuits Syst.*, pp. 734–737, 2014.

[19] K. Noh, J. Amanor-Boadu, M. Zhang, and E. Sanchez-Sinencio, "A 13.56-MHz CMOS Active Rectifier With a Voltage Mode Switched-Offset Comparator for Implantable Medical Devices," *IEEE Trans. Very Large Scale Integr. Syst.*, pp. 1–11, 2018.

[20] L. Cheng, et al., "Adaptive On/Off Delay-Compensated Active Rectifiers for Wireless Power Transfer Systems," *IEEE J. Solid-State Circuits*, vol. 51, no. 3, pp. 712–723, Mar. 2016.

[21] S. S. Hashemi, M. Sawan, and Y. Savaria, "A High-Efficiency Low-Voltage CMOS Rectifier for Harvesting Energy in Implantable Devices," *IEEE Trans. Biomed. Circuits Syst.*, vol. 6, no. 4, pp. 326–335, Aug. 2012.

[22] N. Tran et al, "A Complete 256-Electrode Retinal Prosthesis Chip," IEEE Journal of Solid-State Circuits, vol. 49, no. 3, pp. 751-765, Mar, 2014.

[23] S. S. Hashemi, M. Sawan, "A novel low-drop CMOS active rectifier for RF-powered devices: Experimental results," Microelectronics Journal, vol. 40, no. 11, pp. 1547-1554, Nov, 2009.

© Copyright 2018 ISBME, http://www.ijbme.org